

PAT-NO: JP404196419A

DOCUMENT-IDENTIFIER: JP 04196419 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 16, 1992

INVENTOR- INFORMATION:

NAME

ICHIKAWA, MATSUO

ASSIGNEE- INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP02328078

APPL-DATE: November 28, 1990

INT-CL (IPC): H01L021/28, H01L021/3205, H01L021/336, H01L029/784

ABSTRACT:

PURPOSE: To prevent invasion of **aluminum and titanium** by opening a **contact hole**, sequentially forming polycrystalline silicon film and **titanium alloy** film, conducting the heat treatment under the inert gas atmosphere and then forming thereon an aluminium film.

CONSTITUTION: A **contact hole** is opened and a polycrystalline silicon film 8 and a **titanium alloy** film 9 are formed sequentially thereon. Next, when the heat treatment is conducted under the inert gas atmosphere, a **titanium silicide** film 10 is formed through reaction between a part of the polycrystalline silicon film 8 and the **titanium alloy** film 9. After an aluminium alloy film 11 is formed thereon, a wiring may be formed by sequentially etching the aluminium alloy film 11, **titanium silicide** film 10 and polycrystalline silicon film 8 with the photoetching technology. Thereby, since the polycrystalline silicon film 8 is left under the highly reactive **titanium silicide** film, invasion of titanium from the **titanium silicide** film 10 and that of aluminium from the aluminium alloy film can sufficiently be prevented.

COPYRIGHT: (C)1992,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-196419

⑬ Int. Cl.⁵

H 01 L 21/28
21/3205
21/336
29/784

識別記号

3 0 1 D

庁内整理番号

7738-4M

⑭ 公開 平成4年(1992)7月16日

7353-4M H 01 L 21/88
8422-4M 29/78

3 0 1 R

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-328078

⑰ 出 願 平2(1990)11月28日

⑱ 発明者 市川 松雄 長野県諏訪市大和3丁目3番5号 セイコーホーム株式会社内

⑲ 出願人 セイコーホーム株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代理人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) MOS形電界効果トランジスタを構成要素とする半導体装置の製造方法において、

(a) 拡散層が形成された該半導体装置の上に、層間絶縁膜を形成する工程、

(b) 該層間絶縁膜に、すくなくとも基板の拡散層と接続するためのコンタクトホールを形成する工程、

(c) 多結晶シリコン膜を形成する工程、

(d) チタン金属膜を形成する工程、

(e) 不活性ガス雰囲気中で熱処理する工程、

(f) アルミニウム金属膜、又はアルミニウム合金膜を形成する工程、

(g) ホトエッチング技術によりアルミニウム配線、又はアルミニウム合金配線を形成する工程、

とを具備することを特徴とする半導体装置の製

造方法。

(2) MOS形電界効果トランジスタを構成要素とする半導体装置の製造方法において、

(a) 該層間絶縁膜に、すくなくとも基板の拡散層と接続するためのコンタクトホールを形成する工程、

(b) 該層間絶縁膜に、すくなくとも基板の拡散層と接続するためのコンタクトホールを形成する工程、

(c) 多結晶シリコン膜を形成する工程、

(d) チタン金属膜を形成する工程、

(e) 不活性ガス雰囲気中で熱処理する工程、

(f) チタンナイトライド膜を形成する工程、

(g) アルミニウム金属膜、又はアルミニウム合金膜を形成する工程、

(h) ホトエッチング技術によりアルミニウム配線、又はアルミニウム合金配線を形成する工程、

とを具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、MOS形電界効果トランジスタを構成要素とする半導体装置の製造方法に関し、拡散層とアルミニウム配線、又はアルミニウム合金配線との接続方法に関する。

[従来の技術]

半導体装置の高密度化に伴って構成要素であるMOS形電界効果トランジスタも縮小化されるが、このような装置においては深さ方向の縮小化も実施しなくては、正常なトランジスタ動作を維持することはできない。

サブミクロンクラスの半導体装置の浅い接合に対してアルミニウム配線、又はアルミニウム合金配線とのコンタクトを形成すると、以後の熱処理によりアルミとシリコンの合金が接合を突き抜けことがある（アロイスバイク）。

この様な不良を防止する方法として、(1)接合面の表面全体をシリサイド化する方法、(2)コンタクトホールを形成した後反応性スパッタ法によりチタンナイトライド膜を堆積し、これを拡散バリヤとする方法、(3)コンタクトホールを

なバリヤ性を実現し得るものである。

[課題を解決するための手段]

本発明は上記問題点を解決するため、コンタクトホール開孔後、多結晶シリコン膜とチタン合金膜とを順次形成し、不活性ガス雰囲気中で熱処理した後その上にアルミニウム膜、又はアルミニウム合金膜を形成するか、チタンナイトライド膜を形成してから、その上にアルミニウム膜、又はアルミニウム合金膜を形成する方法である。

〔实施例〕

第1図(a)～第1図(c)及び第2図(a)～第2図(c)に例を挙げて、以下に本発明について説明する。

第1図(a)に示すようにP形単結晶シリコン基板1上にLOCOS酸化膜2を形成した後、ゲート酸化膜3を形成し、その上にゲート電極4を形成する。そしてライト酸化により薄い酸化膜5を形成した後、イオン打ち込みによりN+拡散層

形成した後反応性スパッタ法により、チタンシリサイド膜及びチタンナイトライド膜を堆積し、これを拡散バリヤとする方法、などがある。

[発明が解決しようとする課題]

接合層全体をシリサイド化しこれをアロイスピ
アイクに対するバリヤメタルとする場合はバリヤ効
果が不十分なことがある。特に高融点金属シリサ
イド中最も比抵抗の低いチタンシリサイドを用い
たときこの傾向がある。

又、コンタクトホールを形成した後バリヤ層を全面に堆積する方法でも、チタンナイトライド膜及びチタンシリサイド膜は反応性が高く、チタンが拡散層を突き抜ける事と同時に、チタンナイトライド膜及びチタンシリサイド膜が不十分になつて、アルミニウムによるアロイスバイクに対するバリヤ効果が不十分になることがある。本発明の目的は、この様な欠点を解決したものでアルミニウム配線、又はアルミニウム合金配線に対する充分なバリヤ性を実現し、なおかつチタンシリサイド膜及びチタンナイトライド膜にたいしても充分

6を形成する。

第1図(b)に示すようにPSG膜7を形成した後、熱処理してからコンタクトホールをあける。その上に膜厚約2500Åの多結晶シリコン膜8及び膜厚約1000Åのチタン合金膜9を順次形成する。

第1図(c)に示すように不活性ガス雰囲気中で熱処理すると、多結晶シリコン膜8の一部とチタン合金膜9が反応してチタンシリサイド膜10が形成される。その上にアルミニウム合金膜11を形成した後、ホトエッティング技術によりアルミニウム合金膜11、チタンシリサイド膜10及び多結晶シリコン膜8を順次エッティングして配線を形成する。

この方法によると、反応性の高いチタンシリサイド膜の下に多結晶シリコン膜が残っているのでチタンシリサイド膜からのチタンの侵入及びアルミニウム合金膜からのアルミニウムの侵入を充分阻止し得る。

。第2図(a)に示すようにP形単結晶シリコン

基板 21 上に LOCOS 酸化膜 22 を形成した後、ゲート酸化膜 23 を形成し、その上にゲート電極 24 を形成する。そしてライト酸化により薄い酸化膜 25 を形成した後、イオン打ち込みにより N+拡散層 26 を形成する。

第2図 (b) に示すように PSG 膜 27 を形成した後、熱処理してからコンタクトホールを開ける。

その上に膜厚約 2500 Å の多結晶シリコン膜 28 及び膜厚約 1000 Å のチタン合金膜 29 を順次形成する。

第2図 (c) に示すように不活性ガス雰囲気中で熱処理すると、多結晶シリコン膜 28 の一部とチタン合金膜 29 が反応してチタンシリサイド膜 30 が形成される。その上にチタンナイトライド膜 31 を形成し、さらにアルミニウム合金膜 32 を形成した後、ホトエッティング技術によりアルミニウム合金膜 32、チタンナイトライド膜 31、チタンシリサイド膜 30 及び多結晶シリコン膜 28 を順次エッティングして配線を形成する。

- 4、24；ゲート電極
- 5、25；酸化膜
- 6、26；N+拡散層
- 7、27；PSG 膜
- 8、28；多結晶シリコン膜
- 9、29；チタン合金膜
- 10、30；チタンシリサイド膜
- 11、32；アルミニウム合金膜
- 31；チタンナイトライド膜

以上

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木喜三郎 (他 1 名)

この方法によると、反応性の高いチタンシリサイド膜の下に多結晶シリコン膜が残っているのでチタンシリサイド膜及びチタンナイトライド膜からのチタンの侵入とアルミニウム合金膜からのアルミニウムの侵入を充分阻止し得る。

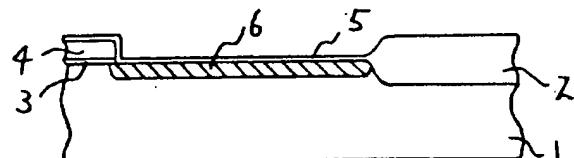
【発明の効果】

本発明の方法によると、チタンシリサイド膜及びチタンナイトライド膜により、アルミニウム合金膜からのアルミニウムの侵入を充分阻止し得ると同時に、チタンシリサイド膜の下に他結晶シリコン膜を残すことによって、チタンシリサイド膜及びチタンナイトライド膜からのチタンの侵入等を充分阻止し得る。

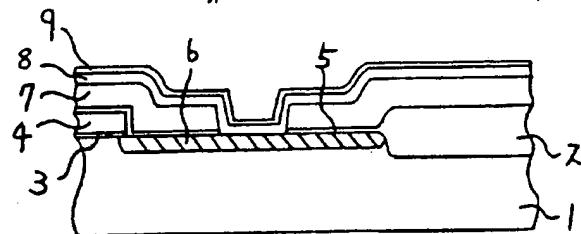
4. 図面の簡単な説明

第1図 (a) ~ 第1図 (c) 及び第2図 (a) ~ 第2図 (c) は、本発明の方法による工程毎の断面略図である。

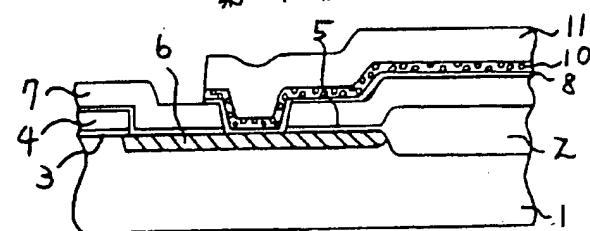
- 1、21；P形単結晶シリコン基板
- 2、22；LOCOS 酸化膜
- 3、23；ゲート酸化膜



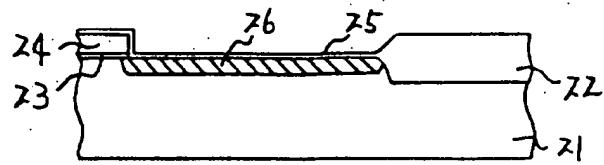
第1図 (a)



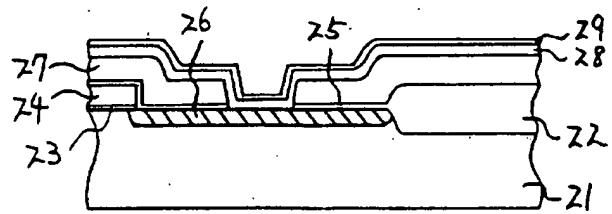
第1図 (b)



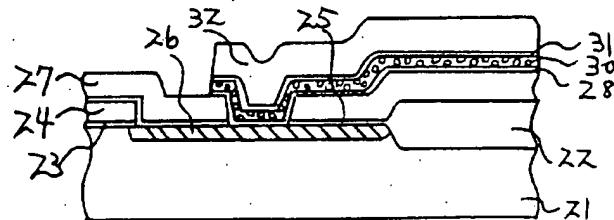
第1図 (c)



第 二 圖 (a)



第二圖(b)



第二圖 (c)